**BÀI CHUẨN BỊ THÍ NGHIỆM 3**

THIẾT KẾ HỆ TỔ HỢP: MẠCH CỘNG

THIẾT KẾ HỆ TUẦN TỰ

Tên: MSSV:

Ngày: Lớp:

**YÊU CẦU CHUẨN BỊ:**

**Câu 1:** Thiết kế mạch cộng toàn phần Full Adder:

Mạch bao gồm 3 ngõ vào và 2 ngõ ra, thực hiện phép cộng 3 bit nhị phân ngõ vào. Hai ngõ vào A và B là 2 bit nhị phân cùng trọng số của 2 số cần thực hiện phép cộng, ngõ vào thứ 3, Ci, là số nhớ của phép cộng 2 bit có trọng số nhỏ hơn trước đó. Hai ngõ ra của mạch cộng toàn phần là tổng S và bit nhớ Co.

**Bảng chân trị:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Ci | S | Co |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**Sơ đồ logic:**

Sử dụng các IC cổng logic, lắp mạch cộng toàn phần trên Breadboard.

**Xác định các IC cần thiết**:

**Sơ đồ kết nối các IC:**

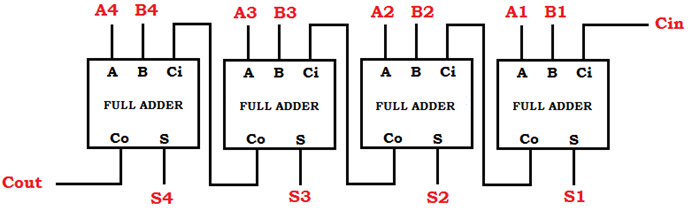


**Câu 2:** Sử dụng IC cộng 74LS283 để thiết kế mạch cộng/trừ hai số nhị phân. Mạch có các ngõ vào S (1bit), A (4bit) và B (4bit) thực hiện chức năng:

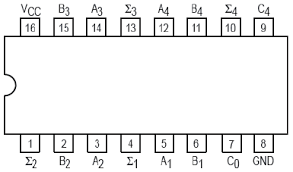
- Khi S = 0, mạch thực hiện A + B

- Khi S = 1, mạch thực hiện A – B

74LS283 là IC thực hiện phép cộng song song 4 bit, nhận ngõ vào là 2 số A (A3A2A1A0) va2 B (B3B2B1B0) cùng số nhớ Cin. Mạch cộng 4 bit song song bao gồm 4 mạch cộng toàn phần. Mỗi bộ cộng toàn phần thực hiện phép cộng 2 bit tương ứng của số A và số B, tạo ra tổng S và số nhớ Co; số nhớ Co này được đưa vào ngõ Ci của bộ toàn phần tiếp theo. Kết quả của mạch cộng song song gồm tổng S (S4S3S2S1) và 1 bit nhớ Cout.



*Hình 3.1: Mạch cộng song song 4 bit*

Sơ đồ chân của IC 74LS283 

**Sơ đồ logic của mạch cộng song song 4 bit – Giải thích cách thiết kế?**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S | Phép toán | Ai | Bi | Ci |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

Lắp mạch cộng toàn phần trên Breadboard, **xác định các IC cần thiết**:

**Sơ đồ kết nối IC:**

Chart

Description automatically generated with medium confidence

**Câu 3:** Thiết kế mạch đếm lên từ 0 🡪 7 sử dụng IC D-FF 74LS74

Bộ đếm nối tiếp thực hiện việc đếm lên hoặc đếm xuống, các trạng thái của bộ đếm hơn/kém nhau 1 đơn vị. Bộ đếm nối tiếp được xây dựng dựa trên các flip-flop, ngõ ra của flip-flop trước là tín hiệu clock của flip-flop tiếp theo.

Sơ đồ chân và bảng hoạt động của IC 74LS74

Diagram, schematic

Description automatically generated

**Sơ đồ mạch đếm nối tiếp từ 0 – 7:**

**Sơ đồ kết nối IC:**

Chart

Description automatically generated with low confidence

**Câu 4:** Thiết kế hệ tuần tự có giản đồ trạng thái như sau:

**Diagram

Description automatically generatedBảng chuyển trạng thái:**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| TT hiện tại | | | Ngõ vào | TT kế tiếp | | |
|  | S1 | S0 | X |  | S1+ | S0+ |
| A | 0 | 0 | 0 |  |  |  |
|  | 0 | 0 | 1 |  |  |  |
|  | 0 | 1 | 0 |  |  |  |
|  | 0 | 1 | 1 |  |  |  |
|  | 1 | 0 | 0 |  |  |  |
|  | 1 | 0 | 1 |  |  |  |
|  | 1 | 1 | 1 |  |  |  |

**Sơ đồ mạch của máy trạng thái:**

S1+ = ; S0+ =

**Sơ đồ kết nối IC:**

